FKEF.02.094

Arvuti arhitektuur

Computer Architecture and Organization

dotsent
Toomas Plank

FKEF.02.094

Kombinatsioon-loogikaahelad
1. osa

4. loeng,
2. märts 2008

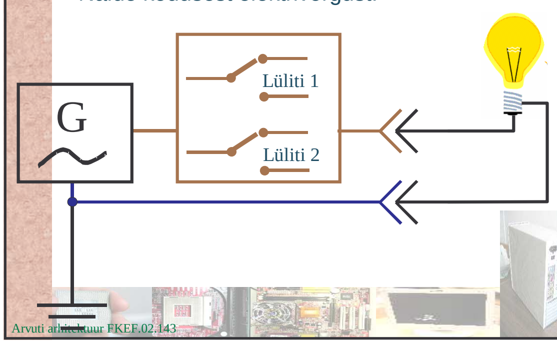
Jutujuht

Loengu esimeses osas
- Loogika põhitehted
- Loogikaelementide praktiline teostus
  - CMOS ahelad
- Binaarloogika reeglid

Loengu teises osas
- Multiplekserid
- Dekoodrid
- Koodrid
- Programmeeritavad loogikaseadmed
- Summaatorid
- Loogikaahelate süntees
  - Karnaugh kaart

Põhilised loogikafunktsioonid

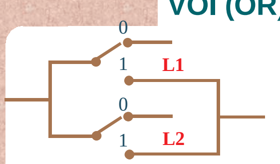
- Näide kodusest elektrivõrgust:



Kahe sisendsuuruse võimalikud funktsioonid

L_1	L_2	False	AND	$L_1\cdot\overline{L_2}$	L_1	$\overline{L_1}\cdot L_2$	L_2	XOR	OR	NOR	XNOR	$\overline{L_2}$	$L_1+\overline{L_2}$	$\overline{L_1}$	$\overline{L_1}+L_2$	NAND	True
0	**0**	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	**1**	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	**0**	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	**1**	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

VÕI (OR)

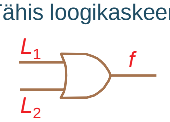


Algebraline tähistus:

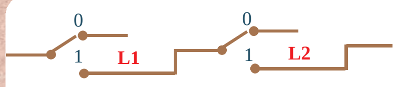
- $f = L_1 + L_2$
- $f = L_1 \vee L_2$

L_1	L_2	$L_1 \vee L_2$
0	0	**0**
1	0	**1**
0	1	**1**
1	1	**1**

Tähis loogikaskeemis:



NING ehk JA (AND)

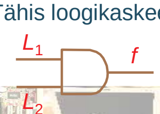


L_1	L_2	$L_1 \cdot L_2$
0	0	**0**
1	0	**0**
0	1	**0**
1	1	**1**

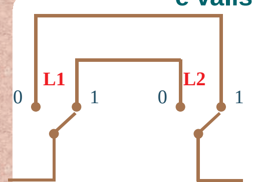
Algebraline tähistus:

- $f = L_1 \cdot L_2$
- $f = L_1 \wedge L_2$

Tähis loogikaskeemis:



Moodul-kakselement (mod2) e välistav või (XOR)

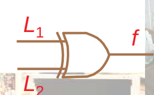


L_1	L_2	$L_1 \oplus L_2$
0	0	**0**
1	0	**1**
0	1	**1**
1	1	**0**

Algebraline tähistus:

- $f = L_1 \oplus L_2$

Tähis loogikaskeemis:

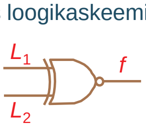


Inverteeritud välistav või (XNOR)

Algebraline tähistus:

- $f = L_1 \odot L_2$

Tähis loogikaskeemis:



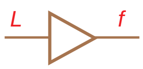
L_1	L_2	$L_1 \odot L_2$
0	0	**1**
1	0	**0**
0	1	**0**
1	1	**1**

Puhver

Algebraline tähistus:

- $f = L$

Tähis loogikaskeemis:



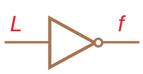
L	$f = L$
0	**0**
1	**1**

EI (NOT)

Algebraline tähistus:

- $f = \overline{L}$

Tähis loogikaskeemis:



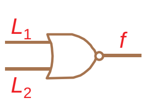
L	$f = \overline{L}$
0	**1**
1	**0**

EI-EGA e VÕI-EI (NOR) Peirce'i element

Algebraline tähistus:

- $f = L_1 \downarrow L_2 = \overline{L_1 + L_2} = \overline{L_1}\,\overline{L_2}$

Tähis loogikaskeemis:



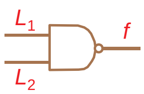
L_1	L_2	$L_1 \downarrow L_2$
0	0	**1**
1	0	**0**
0	1	**0**
1	1	**0**

NING-EI (NAND) Shefferi element

Algebraline tähistus:

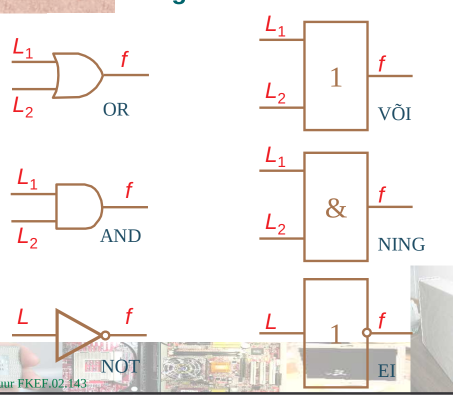
- $f = L_1 \uparrow L_2 = \overline{L_1 L_2} = \overline{L_1} + \overline{L_2}$

Tähis loogikaskeemis:

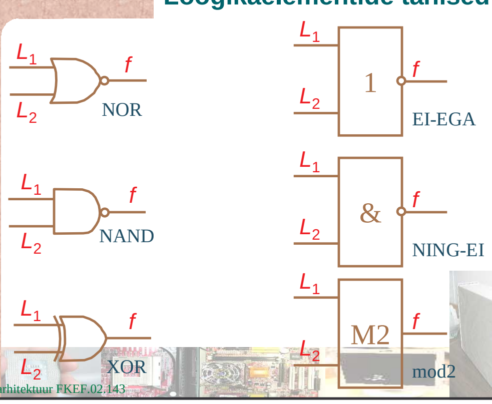


L_1	L_2	$L_1 \uparrow L_2$
0	0	**1**
1	0	**1**
0	1	**1**
1	1	**0**

Loogikaelementide tähised



Loogikaelementide tähised

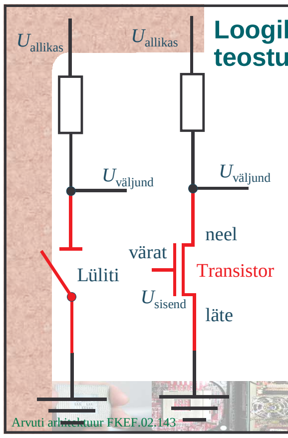


Loogikaelementide praktiline teostus

- Arvuti võib jagada seitsmeks üksteisest suhteliselt sõltumatuks tasemeks:

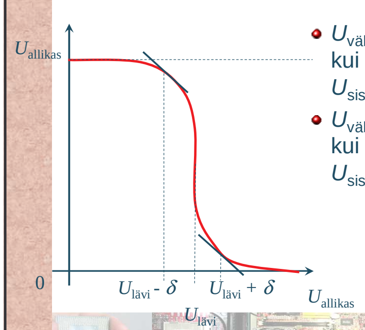
Kasutaja tase: rakendusprogrammid
Kõrgtaseme keeled
Assembly language / Masinkood
Juhtimise tase
Funktsionaalsed elemendid
Loogikaahelad
Transistorid ja traadid

Loogikaelementide praktiline teostus



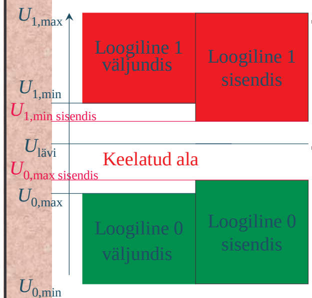
- Kui lüliti on lahti, siis on väljundis pinge $U_{allikas}$
- Kui lüliti on kinni, on väljundis pinge 0
- Sama asja saaks teha ka transistori kasutades
- Kui $U_{sisend} = 0$, siis on "lüliti" lahti
- Kui $U_{sisend} = U_{allikas}$, siis on "lüliti" kinni
- EI-ahel (NOT)

Pinge ülekandekarakteristik



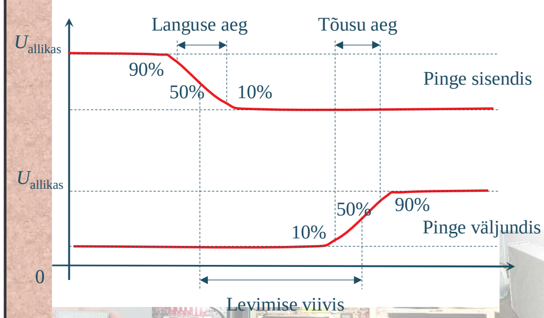
- $U_{väljund} \approx U_{allikas}$, kui $U_{sisend} < U_{lävi} - \delta$
- $U_{väljund} \approx 0$, kui $U_{sisend} > U_{lävi} + \delta$

Pingevahemikud

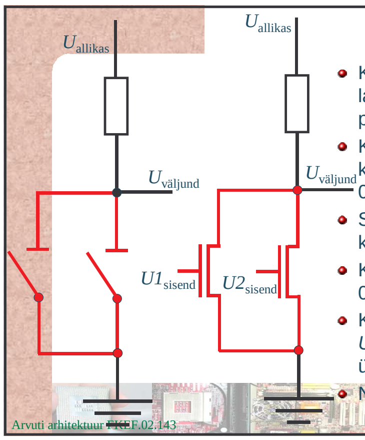


- Müra olemasolu sunnib meid seadma teatava keelatud ala loogiliste olekute 1 ja 0 vahel
- Signaali levimisel võib pinge veidi muutuda, seetõttu on
  - värati väljundis nõutavad ja
  - sisendis aktsepteeritavad pinged veidi erinevad

Transition time ja *propagation delay*

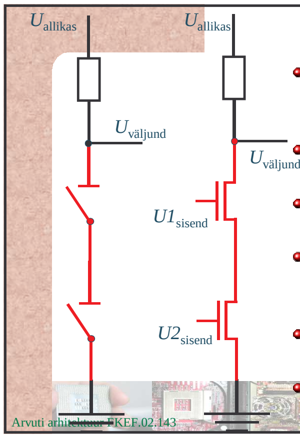


EI-EGA-ahel



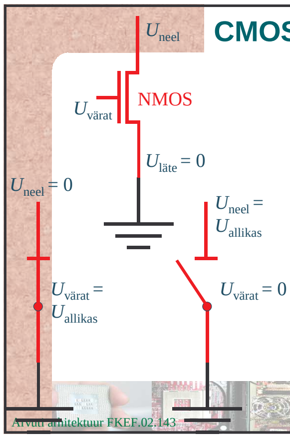
- Kui mõlemad lülitid on lahti, siis on väljundis pinge $U_{allikas}$
- Kui kasvõi üks lüliti on kinni, on väljundis pinge 0
- Sama asja saaks teha ka transistori kasutades
- Kui $U1_{sisend} = U2_{sisend} = 0$, siis on "lülitid" lahti
- Kui $U1_{sisend} = U_{allikas}$ või $U2_{sisend} = U_{allikas}$ siis on üks "lüliti" kinni
- NOR-ahel

NING-EI-ahel



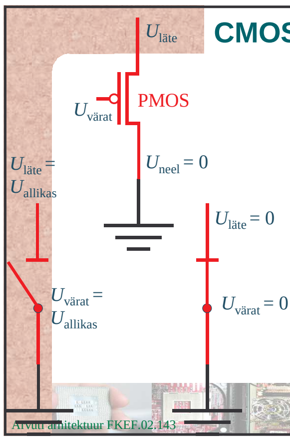
- Kui kasvõi üks lüliti on lahti, siis on väljundis pinge $U_{allikas}$
- Kui mõlemad lülitid on kinni, on väljundis pinge 0
- Sama asja saaks teha ka transistori kasutades
- Kui $U1_{sisend}$ = 0 või $U2_{sisend}$ = 0, siis on üks “lüliti” lahti
- Kui $U1_{sisend}$ = $U2_{sisend}$ = $U_{allikas}$ siis on “lülitid” kinni
- NAND-ahel

CMOS-ahelad (1)



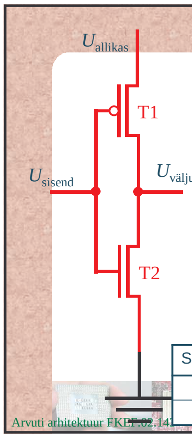
- *Metal-oxide semiconductor*
  - n-kanaliga
  - p-kanaliga
- Kui $U_{värat}$ = 0, siis on “lüliti” lahti
- Kui $U_{värat}$ = $U_{allikas}$, siis on “lüliti” kinni

CMOS-ahelad (2)



- *Metal-oxide semiconductor*
  - n-kanaliga
  - p-kanaliga
- Kui $U_{värat}$ = 0, siis on “lüliti” kinni
- Kui $U_{värat}$ = $U_{allikas}$, siis on “lüliti” lahti
- **MURE: voolutarve ühes asendis väga suur!**

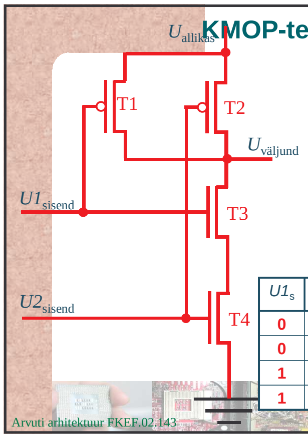
KMOP-tehnoloogiaga EI



- KMOP *(CMOS - Complementary metal-oxide semiconductor)*
  - Üks n-kanaliga transistor
  - Üks p-kanaliga transistor
- Kui $U_{värat} = 0$, siis on
  - NMOP-transistor lahti
  - PMOP-transistor kinni
- Kui $U_{värat} = U_{allikas}$, siis on
  - NMOP-transistor kinni
  - PMOP-transistor lahti
- **Stabiilses olekus voolutarve minimaalne J**

Sisend	U_{sisend}	T1	T2	$U_{väljund}$	Väljund
0	madal	kinni	lahti	kõrge	**1**
1	kõrge	lahti	kinni	madal	**0**

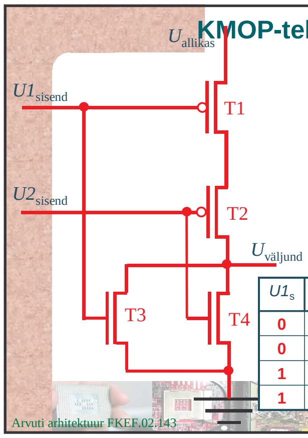
KMOP-tehnoloogiaga NING-EI



- Kui $U_{värat} = 0$, siis on
  - NMOP-transistor lahti
  - PMOP-transistor kinni
- Kui $U_{värat} = U_{allikas}$, siis on
  - NMOP-transistor kinni
  - PMOP-transistor lahti

$U1_s$	$U2_s$	T1	T2	T3	T4	U_v
0	**0**	kinni	kinni	lahti	lahti	**1**
0	**1**	kinni	lahti	lahti	kinni	**1**
1	**0**	lahti	kinni	kinni	lahti	**1**
1	**1**	lahti	lahti	kinni	kinni	**0**

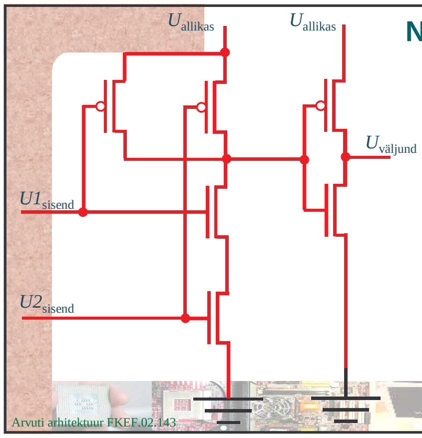
KMOP-tehnoloogiaga EI-EGA



- Kui $U_{värat} = 0$, siis on
  - NMOP-transistor lahti
  - PMOP-transistor kinni
- Kui $U_{värat} = U_{allikas}$, siis on
  - NMOP-transistor kinni
  - PMOP-transistor lahti

$U1_s$	$U2_s$	T1	T2	T3	T4	U_v
0	**0**	kinni	kinni	lahti	lahti	**1**
0	**1**	kinni	lahti	lahti	kinni	**0**
1	**0**	lahti	kinni	kinni	lahti	**0**
1	**1**	lahti	lahti	kinni	kinni	**0**

NING (AND)



Binaarloogika algebra e Boole'i algebra seadused

Binaarloogika aksioomid e Huntingtoni postulaadid

Nimetus	Algebraline identsus	
Kommutatiivsus	x+y=y+x	xy=yx
Distributiivsus	x+yz=(x+y)(x+z)	x(y+z)=xy+xz
Identsus	0+x=x	1x=x
Täiend	$x+\bar{x}=1$	$x\bar{x}=0$

Tehete prioriteedid: sulgude puudumisel tuleks tehted teha alljärgnevas järjestuses

- EI (NOT)
- NING (AND)
- VÕI (OR)

Nimetus	Algebraline identsus	
Kommutatiivsus	x+y=y+x	xy=yx
Distributiivsus	x+yz=(x+y)(x+z)	x(y+z)=xy+xz
Identsus	0+x=x	1x=x
Täiend	$x+\bar{x}=1$	$x\bar{x}=0$
Domineerimine	1+x+y=1	0xy=0
Samaväärsus	x+x=x	xx=x
Assotsiatiivsus	(x+y)+z=x+(y+z)	(xy)z=x(yz)
Eituse eitamine	$\bar{\bar{x}}=x$	
De Morgan'i seadus	$\overline{x+y}=\bar{x}\bar{y}$	$\overline{xy}=\bar{x}+\bar{y}$
Kleepimisseadus	$(x+y)(\bar{x}+z)(y+z)=(x+y)(\bar{x}+z)$	$xy+\bar{x}z+yz=xy+\bar{x}z$
Neelduvus	x+xy=x	x(x+y)=x

Kasutatud kirjandus

- Miles Murdocca, Vincent Heuring, Computer Architecture and Organization: An Integrated Approach (2007) 544 p.
- Carl Hamacher, Zvonko Vranesic, Safwat Zaky, Computer organization 5th edition (2002) 805 p.
- Eesti entsüklopeedia, V köide (1990) 704 lk